

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 10 日
Application Date

申請案號：092131371
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 30 日
Issue Date

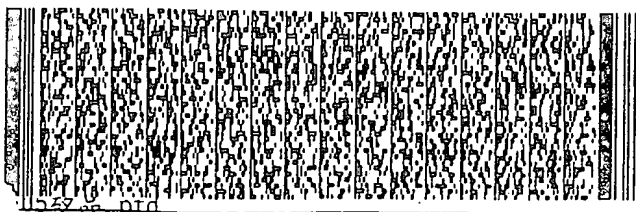
發文字號：09320079140
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	導線架結構及具有該導線架之半導體封裝件
	英文	LEAD FRAME AND SEMICONDUCTOR PACKAGE WITH THE LEAD FRAME
二、 發明人 (共3人)	姓名 (中文)	1. 賴正淵
	姓名 (英文)	1. LAI, JENG-YUAN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台中市南區國光里合作街111之1號
	住居所 (英文)	1. No. 111-1, Cooperation Street, Kuo-Kuang Li, South District, Taichung, Taiwan, R.O.C
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. LIN, WEN-PO

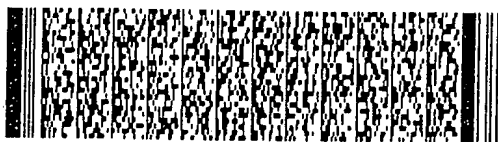


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 曾淵麟
	姓名 (英文)	2. TZENG, YUAN LIN
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台南縣白河鎮白河里12鄰新富街5巷1號
	住居所 (英文)	2. No. 1, Lane 5, Sinfu St., Baihe Township, Tainan County 732, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

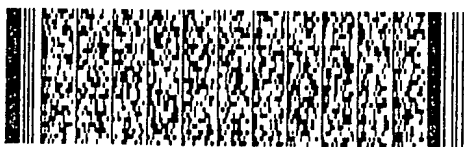


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 賴雅怡
	姓名 (英文)	3. LAI, YA-YI
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 台中縣潭子鄉圓通南路125號
	住居所 (英文)	3. No. 125, Yuan-Tung South Road, Ten-Zi Village, Taichung Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：導線架結構及具有該導線架之半導體封裝件)

一種導線架結構及具有該導線架之半導體封裝件，該導線架至少包括一具有一底面及與其相對用以接置至少一半導體晶片之一頂面的晶片座；一接地部，其係自該晶片座凸出且具有一接地表面及相對之一底面；其中，該接地部之厚度係小於該晶片座並形成有一銲接部於該接地表面上，俾供該半導體晶片藉由複數條銲線銲接以將接地訊號傳導至外部裝置；以及複數條用以提供該半導體晶片藉由複數條銲線與外部裝置電性連接之導腳。透過該導線架結構及具有該導線架之半導體封裝件，得於後續之高溫製程中，有效防止該些傳導接地訊號之銲線因晶片座受熱應力殘留影響變形而導致拉

本案代表圖：第 8圖

50 晶片座

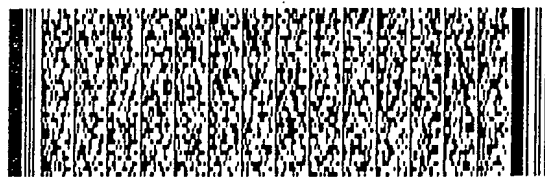
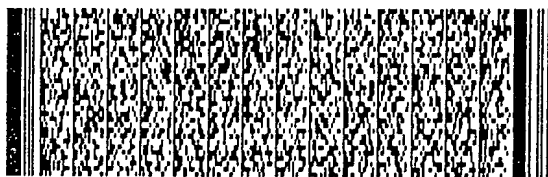
50a 底面

50b 頂面

51 接地部

六、英文發明摘要 (發明名稱：LEAD FRAME AND SEMICONDUCTOR PACKAGE WITH THE LEAD FRAME)

A lead frame and a semiconductor package with the lead frame are provided. The lead frame includes at least one die pad for mounting at least one semiconductor chip; thereon a grounding portion connected to the die pad; and a plurality of leads. The grounding portion has a grounding surface and an opposite bottom surface, wherein the thickness of the grounding portion is smaller than that of

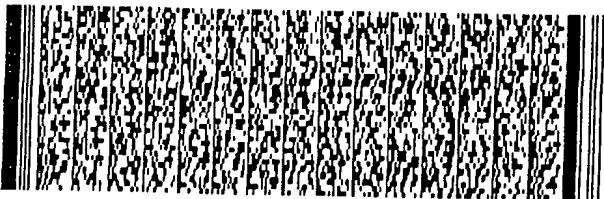


四、中文發明摘要 (發明名稱：導線架結構及具有該導線架之半導體封裝件)

51a	接地表面	51b	底面
51c	銲接部	52	導腳
53	銲線	54	半導體晶片
54a	非作用表面	54b	作用表面
541	銲墊	542	銲墊
55	封裝膠體	56	黏著層
6	半導體封裝件		

六、英文發明摘要 (發明名稱：LEAD FRAME AND SEMICONDUCTOR PACKAGE WITH THE LEAD-FRAME)

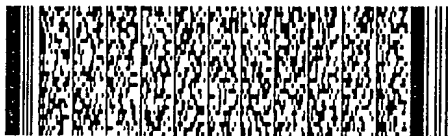
the die pad, and a bonding pad is formed on the grounding surface for connecting a set of bonding wires to the semiconductor chip for transmitting grounding signals. Another set of bonding wires are connected from the chip to the plurality of leads so as to allow the semiconductor chip to be electrically connected to an external device via the bonding wires and the leads. Thereby, the



四、中文發明摘要 (發明名稱：導線架結構及具有該導線架之半導體封裝件)

六、英文發明摘要 (發明名稱：LEAD FRAME AND SEMICONDUCTOR PACKAGE WITH THE LEAD FRAME)

bonding wires for transmitting grounding signals can be prevented from breakage by thermal stresses during a high temperature process, and a product yield is thus promoted.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

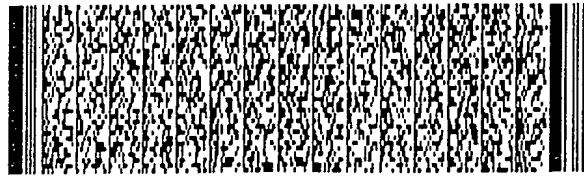
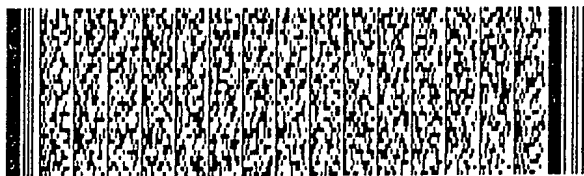
【發明所屬之技術領域】

一種導線架結構及具有該導線架之半導體封裝件，更詳而言之，係有關於一種防止接地鉚線於高溫製程中，因熱應力殘留而毀損之導線架結構與具有該導線架之半導體封裝件。

【先前技術】

傳統以導線架 (Lead Frame) 為晶片承載件之半導體封裝件，如四方扁平式半導體封裝件 (Quad Flat Package; QFP) 或四方扁平無導腳式 (Quad Flat Non-leaded; QFN) 半導體封裝件等，其製作方式均係在一具有晶片座 (Die Pad) 及多數導腳 (Lead) 之導線架上接置一半導體晶片，復藉由多數之鉚線 (Wire) 電性連接該晶片表面上之鉚墊 (Pad) 及其對應之複數導腳，並以一封裝膠體包覆該晶片及該鉚線而形成一半導體封裝件。此外，復得將該晶片座之一表面外露於該封裝膠體外，而成為一晶片座外露 (Exposed Pad) 形式之封裝件，俾加速該晶片座上晶片熱量之散逸速度。

然由於近來封裝件中晶片之集成度大幅提昇，為避免複雜的電路於運作時產生過多之雜訊，進而影響晶片整體電性品質，因此，如何於封裝件中提供該晶片較佳之接地品質，遂成為半導體晶片封裝件設計時所必須考量之重要課題。請參閱第 1 圖，為解決接地訊號傳導之問題，習知技術有將複數個接地墊 10 設置於該晶片座 11 之周圍，俾提供該半導體晶片 12 透過複數條鉚線 13 將接地訊號傳導致該

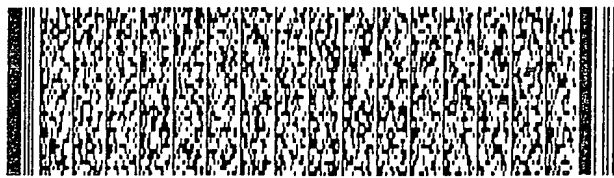
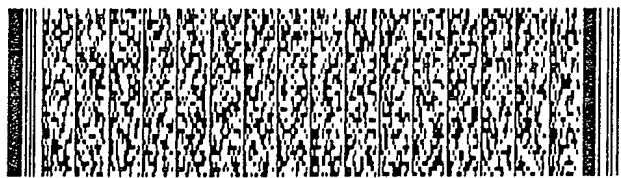


五、發明說明 (3)

Ring) 22, 俾與晶片 23上之接地墊透過鐳線 24電性連接。此外, 請參閱第 3A與 3B圖, 如圖所示, 針對晶片座外露型封裝件, 美國專利公告第 6,437,427號案揭露之導線架 30即具有該導線架之封裝件, 即係藉由自該晶片座 31隔離出之接地環 32, 以提供該封裝件之半導體晶片 33透過鐳線 34分別與該導腳 35及該接地環 32電性連接而達到接地之目的。

前述習知透過接地環之形式提供該半導體晶片封裝件接地之功效, 仍存在有許多明顯且重大之缺失。首先, 具有接地環之導線架其製程較為複雜, 此外, 透過沖壓 (Stamping) 製程製作具有該連續環狀接地環之導線架時, 其沖壓力極易於該環狀結構間留下殘留應力 (Residual Stress), 而於後續高溫製程中導致該接地環各邊之挫屈變形產生降伏 (Yield) 現象, 進而造成接地環之塑性 (Plastic) 變形, 致使其挫屈結構難以復原而破壞該封裝件。

其次, 具有接地環之導線架結構, 必須在導腳與晶片座之間挪出額外的空間設置接地環, 導致提供晶片之電源墊與導腳間電性連接之鐳線其長度增加, 影響電性品質且增加製造成本; 相對的, 若要避免電性連接之鐳線過長, 有將該接地環之寬度變窄者, 惟由於接地環均係唯一連續環狀結構, 因此當進行至後續封裝製程, 如上片固化 (Die Bond Curing)、鐳線 (Wire Bonding) 及模壓 (Molding) 等高溫製程, 該些程序所產生之升溫效應將

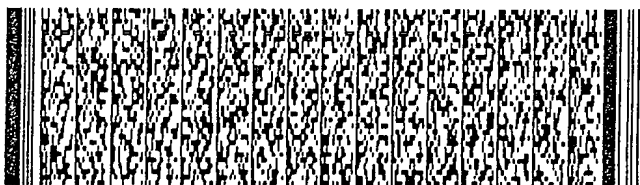


五、發明說明 (3)

Ring) 22，俾與晶片 23 上之接地墊透過鐳線 24 電性連接。此外，請參閱第 3A 與 3B 圖，如圖所示，針對晶片座外露型封裝件，美國專利公告第 6,437,427 號案揭露之導線架 30 即具有該導線架之封裝件，即係藉由自該晶片座 31 隔離出之接地環 32，以提供該封裝件之半導體晶片 33 透過鐳線 34 分別與該導腳 35 及該接地環 32 電性連接而達到接地之目的。

前述習知透過接地環之形式提供該半導體晶片封裝件接地之功效，仍存在有許多明顯且重大之缺失。首先，具有接地環之導線架其製程較為複雜，此外，透過沖壓 (Stamping) 製程製作具有該連續環狀接地環之導線架時，其沖壓力極易於該環狀結構間留下殘留應力 (Residual Stress)，而於後續高溫製程中導致該接地環各邊之挫屈變形產生降伏 (Yield) 現象，進而造成接地環之塑性 (Plastic) 變形，致使其挫屈結構難以復原而破壞該封裝件。

其次，具有接地環之導線架結構，必須在導腳與晶片座之間挪出額外的空間設置接地環，導致提供晶片之電源墊與導腳間電性連接之鐳線其長度增加，影響電性品質且增加製造成本；相對的，若要避免電性連接之鐳線過長，有將該接地環之寬度變窄者，惟由於接地環均係唯一連續環狀結構，因此當進行至後續封裝製程，如上片固化 (Die Bond Curing)、鐳線 (Wire Bonding) 及模壓 (Molding) 等高溫製程，該些程序所產生之升溫效應將



五、發明說明 (4)

使該接地環因該接地環各邊兩端皆受其連續結構之束縛 (Constrain)，而導致其熱膨脹應力難以釋放致生擠壓變形，並形成材料力學中柱狀 (Column) 結構中常見之熱挫屈 (Buckle) 破壞，而產生如第 4A 與 4B 圖所示之變形翹曲，此一變形現象將使得該接地環之各邊無法維持平面狀態，而增加接地線之鐸線步驟的困難。

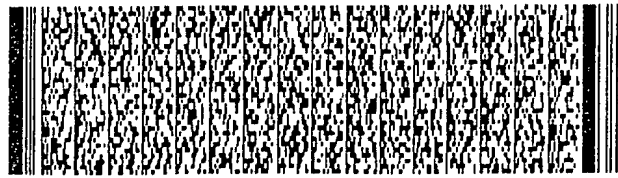
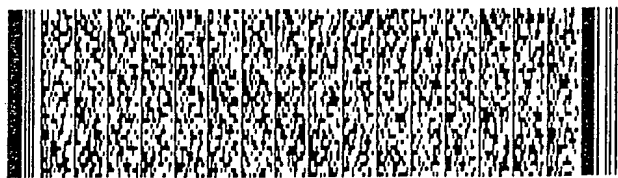
再者，具有接地環之導線架，於鐸線接合之過程中，該接地環無法如該晶片座與該導腳分別為真空吸引器與夾具所固接，極易因無法固定該接地環，而造成接地鐸線焊接品質不良之結果。

請參閱第 5A 圖，美國專利公告第 6,396,139 號揭露一種具多階梯構造之晶片座 40，如圖所示，其主要功能係在於增加晶片座 40 與封裝化合物 (Molding Compound) 41 附著面積，進而增加附著力。惟應用於接地鐸線接合時，一但該半導體封裝件處於前述之任一升溫狀態中，該晶片座 40 之形成有階梯狀之部分，會因為表面 40a 之膨脹熱應力大於表面 40b 之膨脹熱應力，故該晶片座會如第 5B 圖所示，產生向缺口部份之收縮彎曲，進而造成鐸線 42 受拉扯而斷裂。

綜上所述，如何提供一種有效且經濟之具有增進接地效果之導線架，以及具有該導線架之半導體封裝件，遂成為目前亟待解決之課題。

【發明內容】

為解決上述習知技術之缺點，本發明之主要目的在於



五、發明說明 (5)

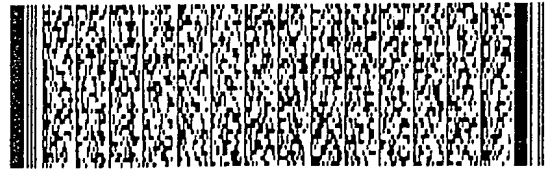
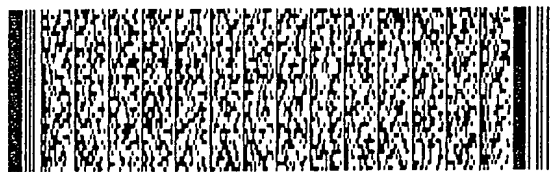
提供一種導線架結構及具有該導線架之半導體封裝件，透過於晶片座上形成有複數個具階梯部之接地墊結構，俾防止接地鐸線於高溫製程中因熱應力殘留所造成之拉扯而斷裂，藉以大幅提升封裝件產品之良率。

本發明之另一目的在於提供一種導線架結構及具有該導線架之半導體封裝件，透過於晶片座上形成有複數個具階梯部之接地墊結構，無須藉由複雜之接地環構造即能提供封裝件接地功能，有效的減少封裝件製造成本。

本發明之又一目的在於提供一種導線架結構及具有該導線架之半導體封裝件，透過於晶片座上形成有複數個具階梯部之接地墊結構，無須增加接地鐸線之長度，俾於減省製程成本之同時復得提昇封裝件電性之品質。

為達成以上所述及其他目的，本發明之導線架結構包括有：一具有一底面及其相對用以接置至少一半導體晶片之一頂面的晶片座；一接地部，其係自該晶片座凸出且具有一接地表面及相對之一底面；其中，該接地部之厚度係小於該晶片座，且該接地部之接地表面係低於該晶片座之頂面且形成有一鐸接部，俾供該半導體晶片藉由複數條鐸線鐸接，以將接地訊號傳導至外部裝置；複數條用以提供該半導體晶片藉由複數條鐸線與外部裝置電性連接之導腳；以及複數條用以支撐該晶片座之繫條。

而本發明之具有該導線架之半導體封裝件則包括有：至少一具有一作用表面以及一相對之非作用表面之半導體晶片；一具有一底面以及與其相對用以提供該半導體晶片



五、發明說明 (6)

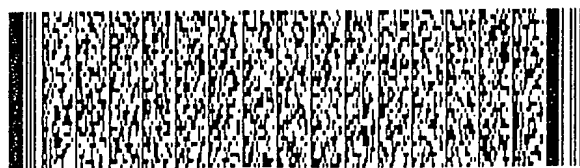
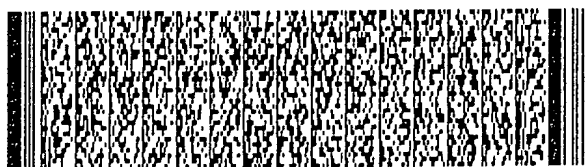
透過該非作用表面接置之一頂面的晶片座；一接地部，其係自該晶片座凸出且具有一接地的表面及相對之一底面；其中，該接地部之厚度係小於該晶片座，且該接地部之接地表面係低於該晶片座之頂面且形成有一銲接部，俾供該半導體晶片藉由複數條銲線銲接，以將接地訊號傳導至外部裝置；複數條用以提供該半導體晶片藉由複數條銲線與外部裝置電性連接之導腳；複數條用以支撐該晶片座之繫條；以及一用以包覆該半導體晶片及該導線架之封裝膠體。

此外，該厚度小於該晶片座之接地部的接地表面，覆得與該晶片座之頂面形成一共平面，並於該接地部之頂面上形成有一銲接部，俾供該半導體晶片藉由複數條銲線銲接，並將接地訊號傳導至外部裝置。

相較於習知之封裝技術，本發明之導線架結構及具有該導線架之半導體封裝件，透過於晶片上形成有複數個具有階梯部之接地墊結構，無須藉由複雜之接地環構造即得提供封裝件有效的接地功能，同時亦得防止接地銲線於高溫製程中因熱應力殘留所造成之拉扯而斷裂，藉以大幅提升封裝件產品之良率。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦



五、發明說明 (7)

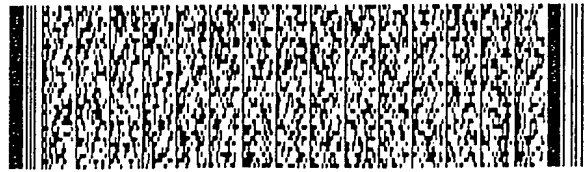
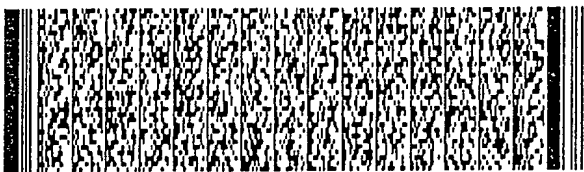
可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參閱第 6 圖，其中顯示於本實施例中本發明之導線架 5 結構之剖面示意圖，需特別說明者，係該圖式與本說明書中之其他圖式同為一簡化示意圖，僅以示意方式顯示與本發明之導線架結構及具有該導線架之半導體封裝件有關之構件，實際之導線架結構及具有該導線架之半導體封裝件其結構佈局與製程應更加複雜。

本發明之導線架 5 結構至少包括：一晶片座 50、一接地部 51 以及複數條導腳 52。

該晶片座 50，其具有一底面 50a 以及一相對於該底面 50a 之一頂面 50b，其中該頂面 50b 係用以透過習知之銀膠或聚亞醯胺膠片 (Polyimide Tape) 等材質之黏著層 56 接置至少一半導體晶片。又，於本實施例中，該晶片座 50 暨該導線架 5 之可為銅或銅合金之材質所製成者，而該晶片座 50 可為一體成型之方形晶片座，當然該晶片座 50 其材質及形狀得視實際封裝製成之需要為等效之改變替換，自不待言。

該接地部 51，其係自該晶片座 50 向外凸出之凸出部，且具有一接地表面 51a 及相對之一底面 51b；其中，該接地部 51 之接地表面 51a 係低於該晶片座 50 之頂面 50b，此外該接地表面 51a 上復形成有一銲接部 51c，俾供該半導體晶片藉由複數條銲線 53 銲接。由於該晶片座 50 之頂面 50b 與該接地表面 51a 之銲接部 51c 形成有一高度差，故於後續之高



五、發明說明 (8)

溫製程或測試過程中，即令該晶片座 50 處於一升溫環境中，因該接地部 51 不同於習知「整片式」之晶片座結構，該接地部 51 不會如第 5B 圖所示產生彎曲。故不會對該鉅線 53 造成「拉扯」，導致鉅線 53 斷裂，因此，具有該導線架 5 之封裝件，其產品良率暨電性品質均獲得確保。

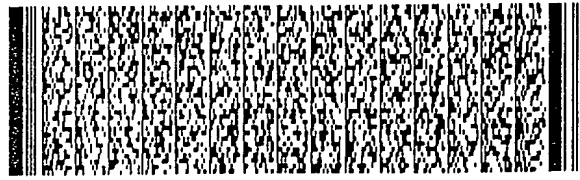
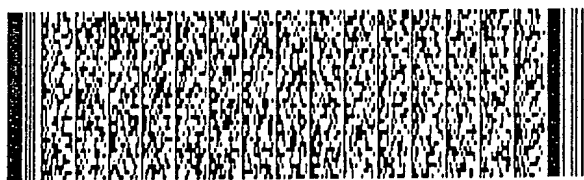
又，該接地部 51 之厚度較佳係為該晶片座 50 厚度的二分之一。

該複數條導腳 52，其係用以提供該半導體晶片藉由該複數條鉅線 53 與該外部裝置電性連接，俾供該半導體晶片與該外部裝置傳送所需之電子訊號。

此外，本發明之導線架 5 結構復包括複數條繫條 58，其係用以支撐該晶片座 50。其中，該繫條係自該晶片座 50 之四個角緣延伸而出。且由於該晶片座 50、該導腳 52 以及該繫條係為該導線架 5 經由沖壓所一體成型者，故該晶片座 50、該導腳 52 以及該繫條係相連接，自不待言。

請參閱第 7 圖，其中顯示本發明具有該導線架 5 之半導體封裝件 6 之剖面示意圖，該半導體封裝件 6 除具有前述之該導線架 5 所形成之該些部分外，復包括至少一半導體晶片 54 以及一封裝膠體 55。該半導體晶片 54 係為一習用之鉅線接合型半導體晶片。

該封裝膠體 55，其係用以包覆住該導線架 5、該複數條鉅線 53 以及該半導體晶片 54，藉以避免其受外界之水氣或污染物所侵害。於本實施例中，該封裝膠體 55 係透過模壓 (molding) 作業藉以將樹脂化合物如環氧樹脂 (Epoxy



五、發明說明 (9)

Resin) 等封裝材料包覆於該導線架 5 之周圍。惟，為求增加該半導體封裝件 6 之散熱效果，該封裝膠體 55 亦得如第 8 圖所示，部分包覆住該導線架 5，而將該晶片座 50 之底面 50a 及該接地部 51 之底面 51b 外露於該封裝膠體 55，俾達到熱散逸之功效。

請參閱第 9 圖，其中顯示本發明之再一實施例，如第 9 圖所示，該接地部 51 之厚度較佳係為該晶片座 50 厚度的二分之一，且該接地部 51 之接地表面 51a 係與該晶片座 50 之頂面 50b 形成一共平面，而該封裝膠體 55 則完全包覆住該導線架 5、該複數條鉅線 53 以及該半導體晶片 54。由於該接地部 51 係獨立並凸出於該晶片座 50 外側，故於後續之高溫製程或測試過程中，不至如習知之導線架結構，因晶片座上表面與相對之下表面之膨脹熱應力有異，而造成接地鉅線因晶片座變形而受拉扯斷裂。

請參閱第 10 圖，其中顯示本發明之又一實施例，如第 10 圖所示，該接地部 51 之厚度較佳係為該晶片座 50 厚度的二分之一，且該接地部 51 之接地表面 51a 係與該晶片座 50 之頂面 50b 形成一共平面。惟，與第 9 圖所示之實施例不同之處在於，本實施例中，係採用四邊形平面無導腳式 (Quad Flat No-lead; QFN) 封裝之封裝結構，故該導腳 52' 不具有前述導腳 52 所具有之外導腳。且該晶片座 50 之底面 50a 係外露於該封裝膠體 55。

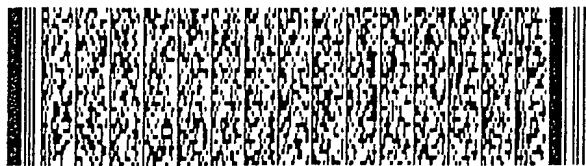
綜上所述，本發明之導線架結構及具有該導線架之半導體封裝件，透過於具有階梯部之晶片座上形成複數之接



五、發明說明 (10)

地墊結構，無須藉由複雜之接地環構造即得提供封裝件有效接地功能，同時亦得防止接地鐸線於高溫製程中因熱應力殘留所造成之拉扯而斷裂，藉以大幅提升封裝件產品之良率。

上述實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與變化。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。



圖式簡單說明

【圖式簡單說明】

第 1圖為習知導線架結構之局部剖視圖；

第 2A圖為美國專利公告第 5,814,877號案所揭示之導線架結構上視圖；

第 2B圖為第 2A圖之 2B-2B線所視之封裝件剖視圖；

第 3A圖為美國專利公告第 6,437,427號案所揭示之導線架結構上視圖；

第 3B圖為第 3A圖之 3B-3B線所視之封裝件剖視圖；

第 4A與 4B圖係為習知具有接地環之晶片座於一升溫製程中產生變形之示意圖；

第 5A圖為美國專利公告第 6,396,139號案所揭示之封裝件剖視圖；

第 5B圖為第 5A圖之封裝件其晶片座於一升溫製程中產生變形之示意圖；

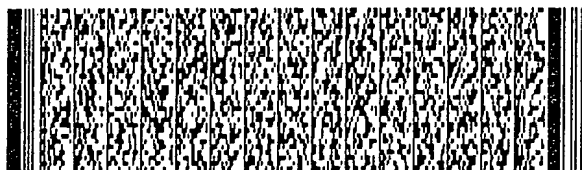
第 6圖為本發明之導線架結構其中一實施例之剖面示意圖；

第 7圖為本發明之具有該導線架之半導體封裝件其中一實施例之剖面示意圖；

第 8圖為本發明之具有該導線架之半導體封裝件另一實施例之剖面示意圖；

第 9圖為本發明之具有該導線架之半導體封裝件再一實施例之剖面示意圖；以及

第 10圖為本發明之具有該導線架之半導體封裝件又一實施例之剖面示意圖。



圖式簡單說明

10	接 地 墊	11	晶 片 座
12	半 導 體 晶 片	13	鐳 線
14	封 裝 膠 體	15	鐳 線
20	導 線 架	21	晶 片 座
22	接 地 環	23	晶 片
30	導 線 架	31	晶 片 座
32	接 地 環	40	晶 片 座
41	封 裝 化 合 物	40a	表 面
40b	表 面	5	導 線 架
50	晶 片 座	50a	底 面
50b	頂 面	51	接 地 部
51a	接 地 表 面	51b	底 面
51c	鐳 接 部	52、52'	導 腳
53	鐳 線	54	半 導 體 晶 片
54a	非 作 用 表 面	54b	作 用 表 面
541	鐳 墊	542	鐳 墊
55	封 裝 膠 體	56	黏 著 層
6	半 導 體 封 裝 件		



六、申請專利範圍

1. 一種導線架結構，係包括：

一晶片座，其具有一底面及與其相對用以接置至少一半導體晶片之一頂面；

一接地部，其係自該晶片座凸出且具有一接地表面及相對之一底面；其中，該接地部之厚度係小於該晶片座並形成有一銲接部於該接地表面上，俾供該半導體晶片藉由複數條銲線銲接，以將接地訊號傳導至外部裝置；以及

複數條導腳，其係用以提供該半導體晶片藉由該複數條銲線與外部裝置電性連接，以傳遞訊號至該外部裝置。

2. 如申請專利範圍第1項之導線架結構，其中，該接地表面係低於該晶片座之頂面。

3. 如申請專利範圍第1項之導線架結構，其中，該接地表面係與該晶片座之頂面形成一共平面。

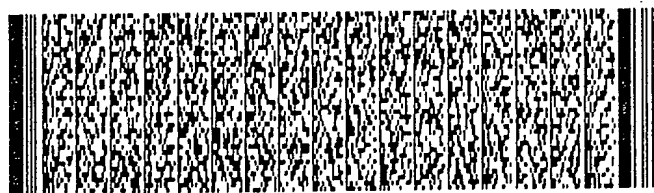
4. 如申請專利範圍第1、2或3項之導線架結構，其中，該接地部之厚度為該晶片座厚度的二分之一。

5. 如申請專利範圍第1項之導線架結構，其中，該導線架之材質可為一銅及銅合金其中之一者。

6. 如申請專利範圍第1項之導線架結構，其中，該晶片座與該接地部形成有一單階構造。

7. 如申請專利範圍第1項之導線架結構，其中，該晶片座與該接地部形成有一多階構造。

8. 如申請專利範圍第1項之導線架結構，其中，該導腳之



六、申請專利範圍

高度高於該晶片座。

9. 如申請專利範圍第 1 項之導線架結構，其中，復包括複數條繫條。

10. 如申請專利範圍第 9 項之導線架結構，其中，該繫條係與該晶片座之角緣連接。

11. 如申請專利範圍第 1 項之導線架結構，其中，該導線架係應用於四邊形平面式封裝結構（QFP）及四邊形平面無導腳式（QFN）封裝結構其中之一者。

12. 一種半導體封裝件，係包括：

至少一半導體晶片，其係為具有一非作用表面與一相對之作用表面之鐳線接合型半導體晶片；

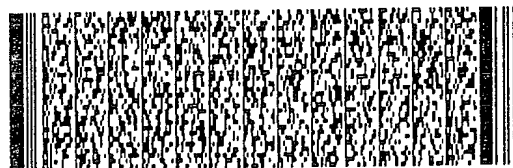
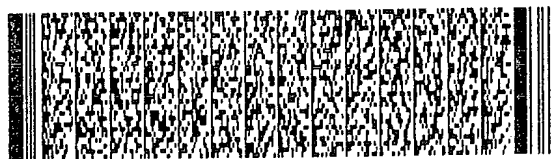
一晶片座，其具有一底面以及與其相對用以提供該半導體晶片透過該非作用表面接置之一頂面；

一接地部，其係自該晶片座凸出且具有一接地表面及相對之一底面；其中，該接地部之厚度係小於該晶片座並形成有一鐳接部於該接地表面上，俾供該半導體晶片藉由複數條鐳線鐳接，以將接地訊號傳導至外部裝置；

複數條導腳，其係用以提供該半導體晶片藉由該複數條鐳線與外部裝置電性連接，以傳遞訊號至該外部裝置；以及

一封裝膠體，其係用以包覆該半導體晶片及該導線架。

13. 如申請專利範圍第 12 項之半導體封裝件，其中，該接



六、申請專利範圍

地表面係低於該晶片座之頂面。

14.如申請專利範圍第12項之半導體封裝件，其中，該接地表面係與該晶片座之頂面形成一共平面。

15.如申請專利範圍第12、13或14項之半導體封裝件，其中，該接地部之厚度為該晶片座厚度的二分之一。

16.如申請專利範圍第12項之半導體封裝件，其中，該導線架之材質可為一銅及銅合金其中之一者。

17.如申請專利範圍第12項之半導體封裝件，其中，該晶片座與該接地部形成有一單階構造。

18.如申請專利範圍第12項之半導體封裝件，其中，該晶片座與該接地部形成有一多階構造。

19.如申請專利範圍第12項之半導體封裝件，其中，該晶片座與該導腳間形成有一高度差。

20.如申請專利範圍第19項之半導體封裝件，其中，該導腳之高度高於該晶片座。

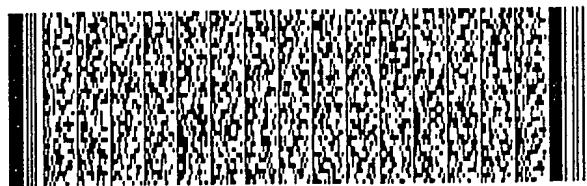
21.如申請專利範圍第12項之半導體封裝件，其中，該繫條係與該晶片座之角緣連接。

22.如申請專利範圍第12項之半導體封裝件，其中，該封裝膠體係包覆住該晶片座之底面。

23.如申請專利範圍第12項之半導體封裝件，其中，該晶片座之底面及該接地部之底面係外露出該封裝膠體。

24.如申請專利範圍第12項之半導體封裝件，其中，該半導體晶片係透過一黏著層接置於該晶片座上。

25.如申請專利範圍第24項之半導體封裝件，其中，該黏



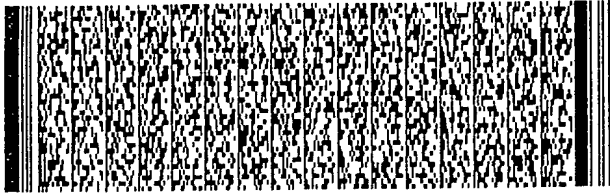
六、申請專利範圍

著層可為一銀膠及聚亞醯胺膠片其中之一者。

26.如申請專利範圍第12項之半導體封裝件，其中，該半導體封裝件係為四邊形平面式封裝結構（QFP）及四邊形平面無導腳式（QFN）封裝結構其中之一者。



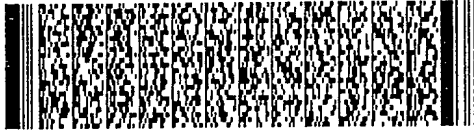
第 1/23 頁



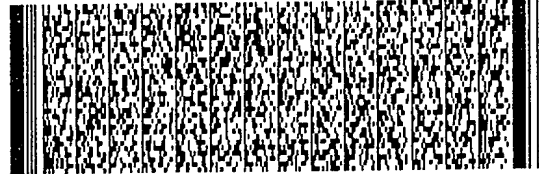
第 2/23 頁



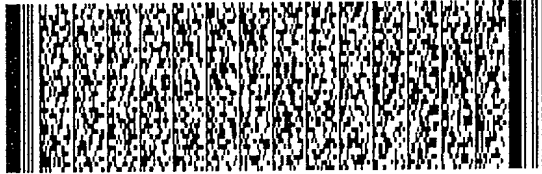
第 3/23 頁



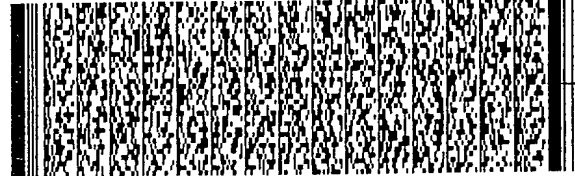
第 4/23 頁



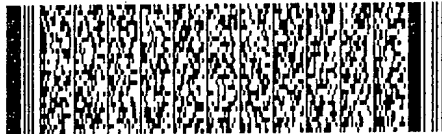
第 4/23 頁



第 5/23 頁



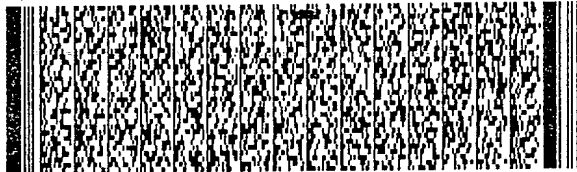
第 6/23 頁



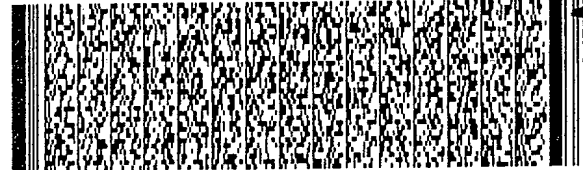
第 7/23 頁



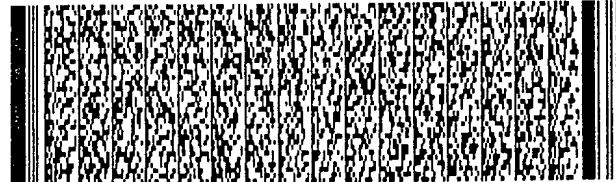
第 8/23 頁



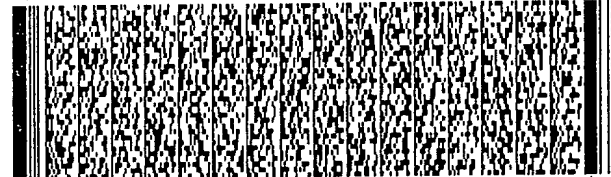
第 8/23 頁



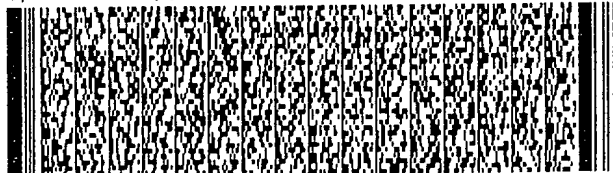
第 9/23 頁



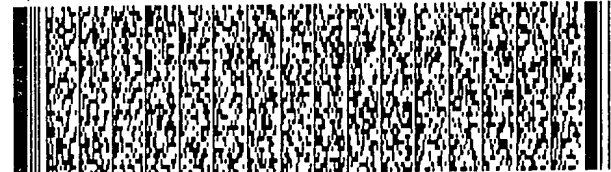
第 9/23 頁



第 10/23 頁



第 10/23 頁



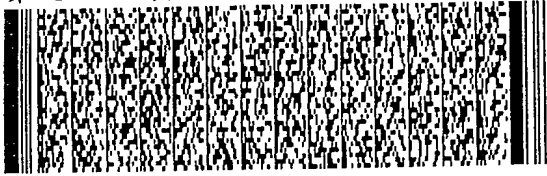
第 11/23 頁



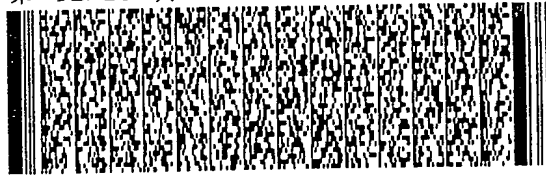
第 11/23 頁



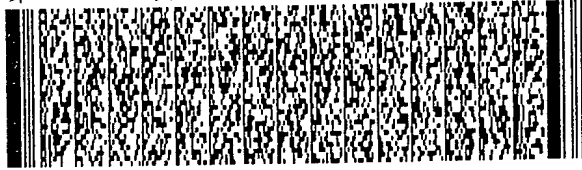
第 12/23 頁



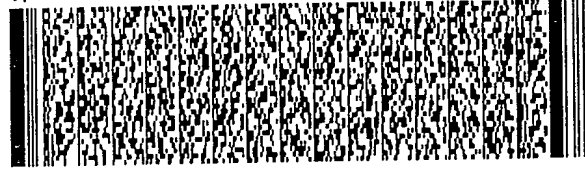
第 12/23 頁



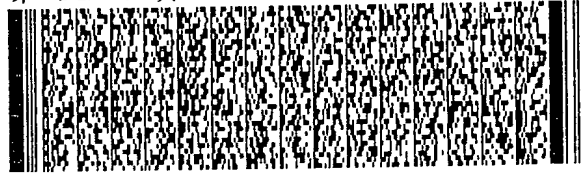
第 13/23 頁



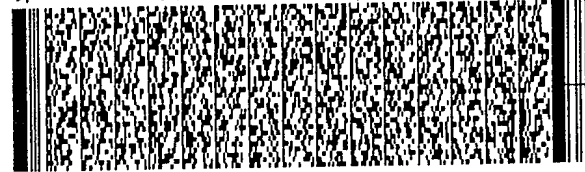
第 13/23 頁



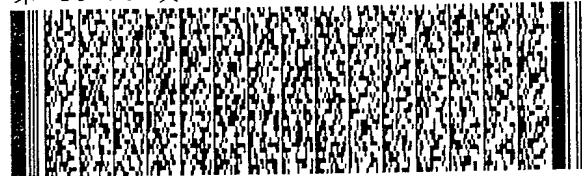
第 14/23 頁



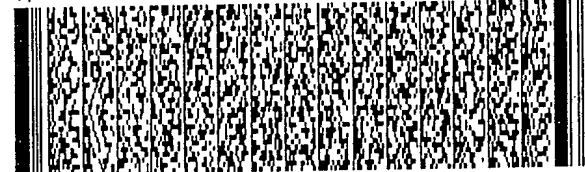
第 14/23 頁



第 15/23 頁



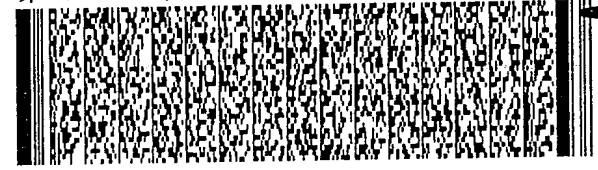
第 15/23 頁



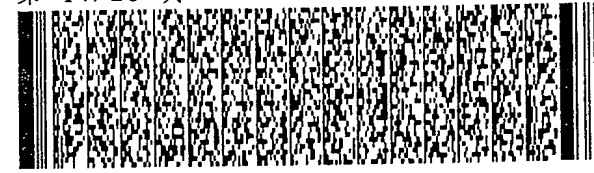
第 16/23 頁



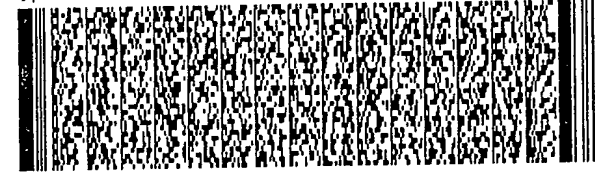
第 16/23 頁



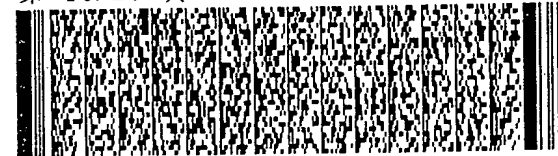
第 17/23 頁



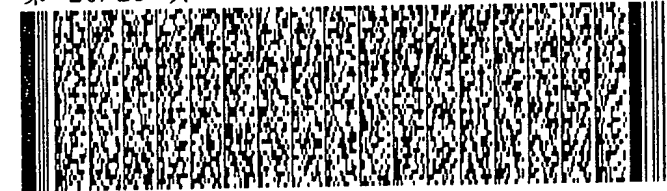
第 18/23 頁



第 19/23 頁



第 20/23 頁



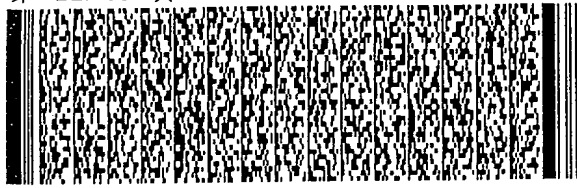
第 21/23 頁



第 21/23 頁

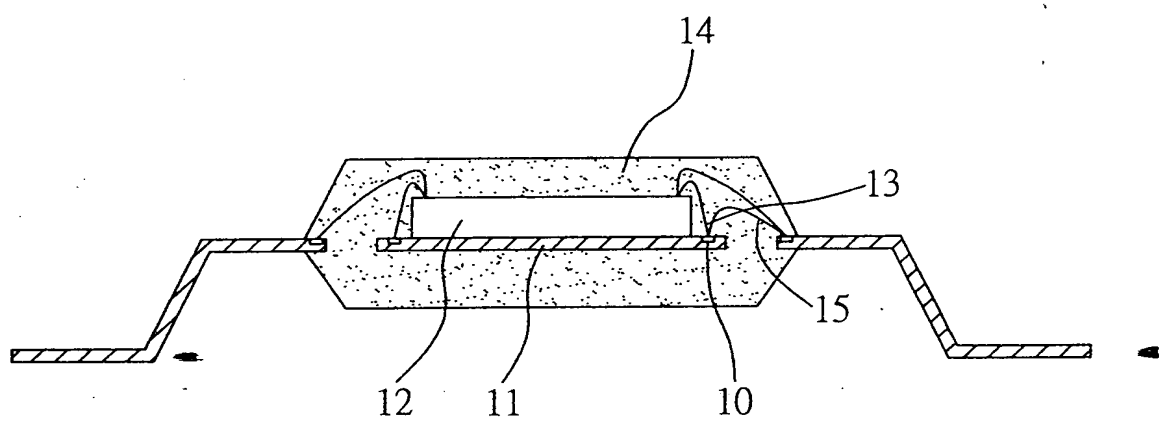


第 22/23 頁

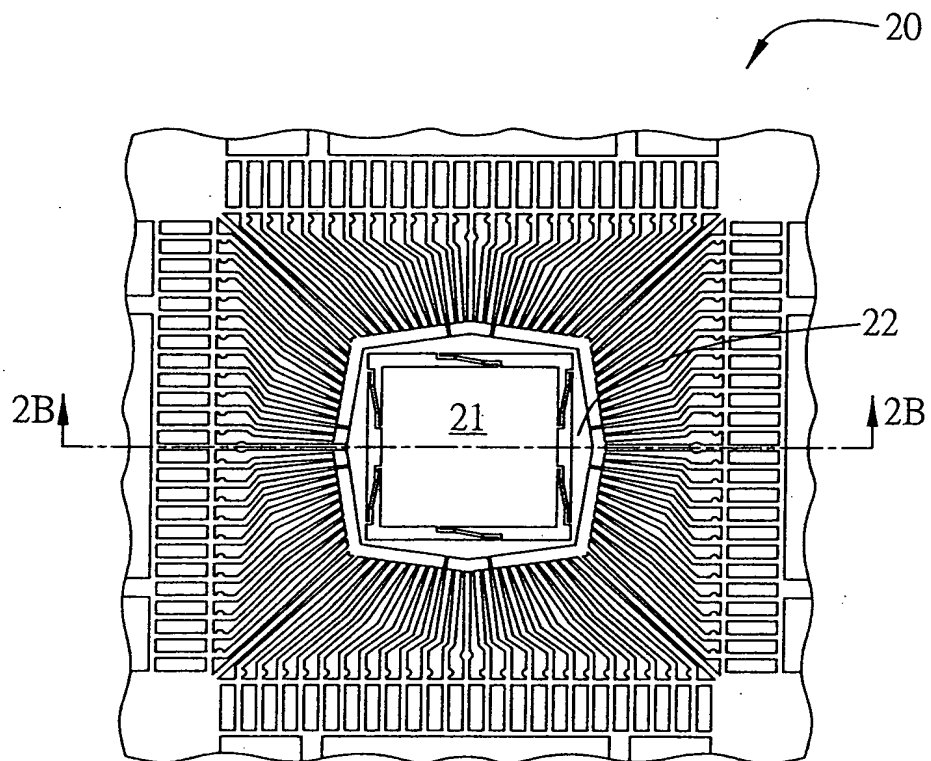


第 23/23 頁

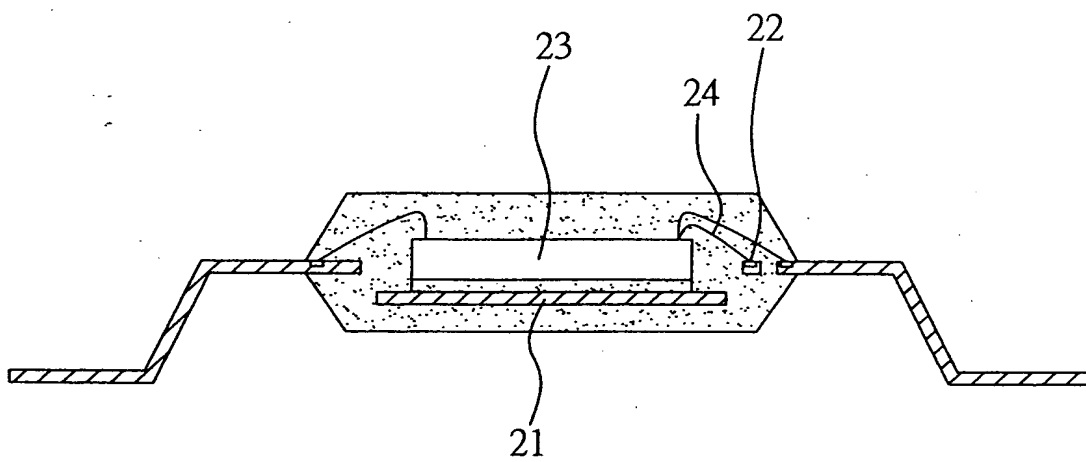




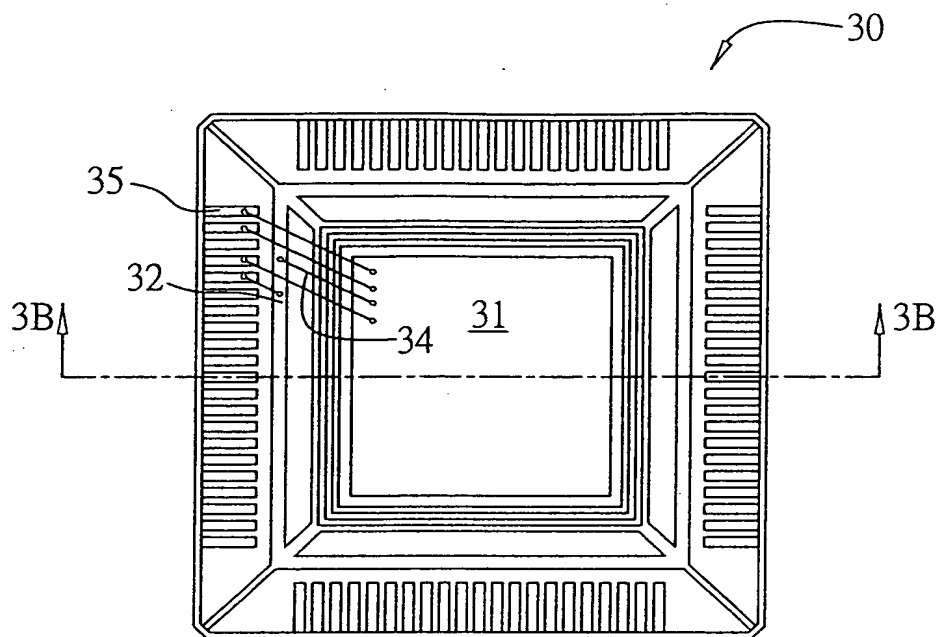
第 1 圖



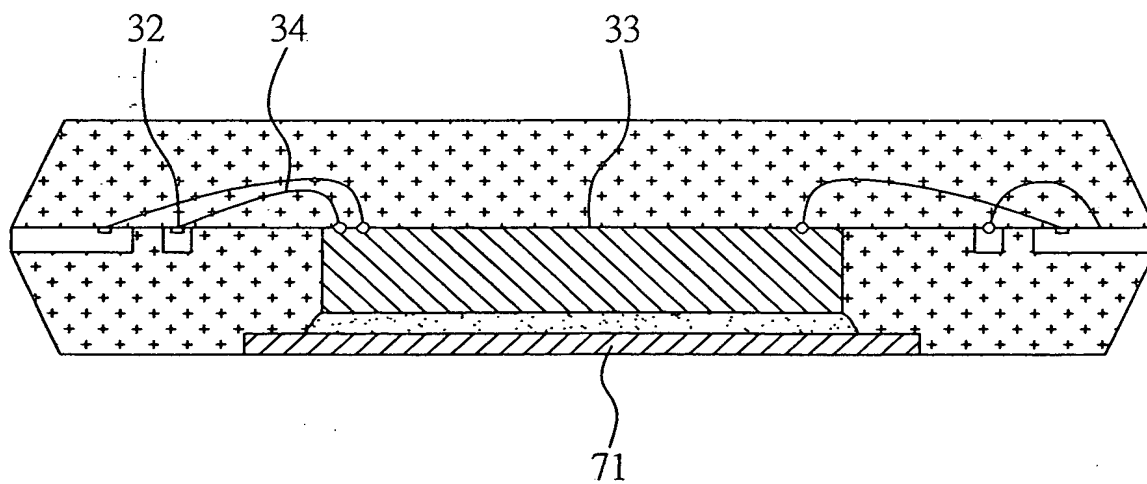
第 2A 圖



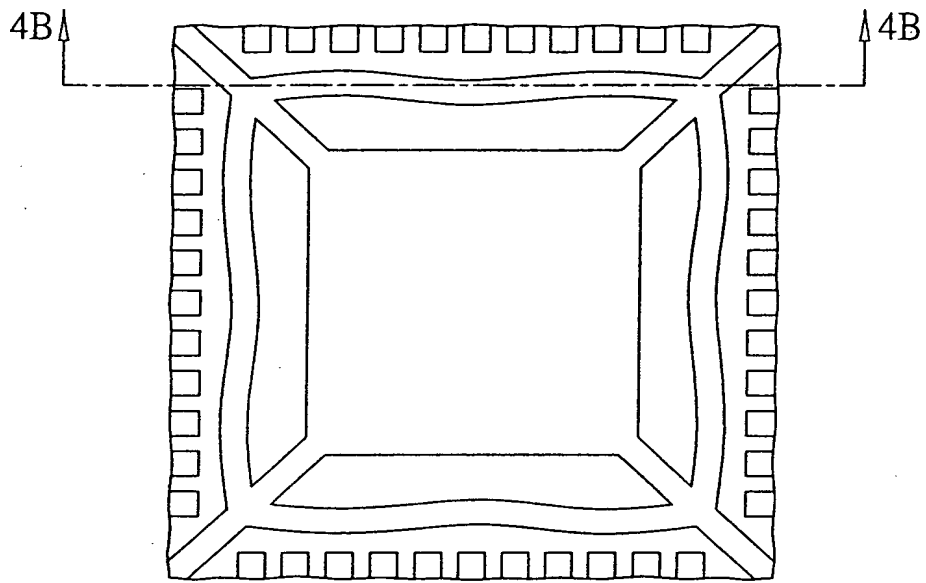
第 2B 圖



第 3A 圖



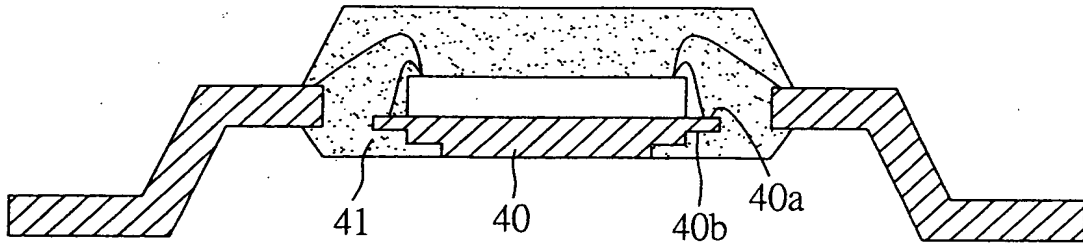
第 3B 圖



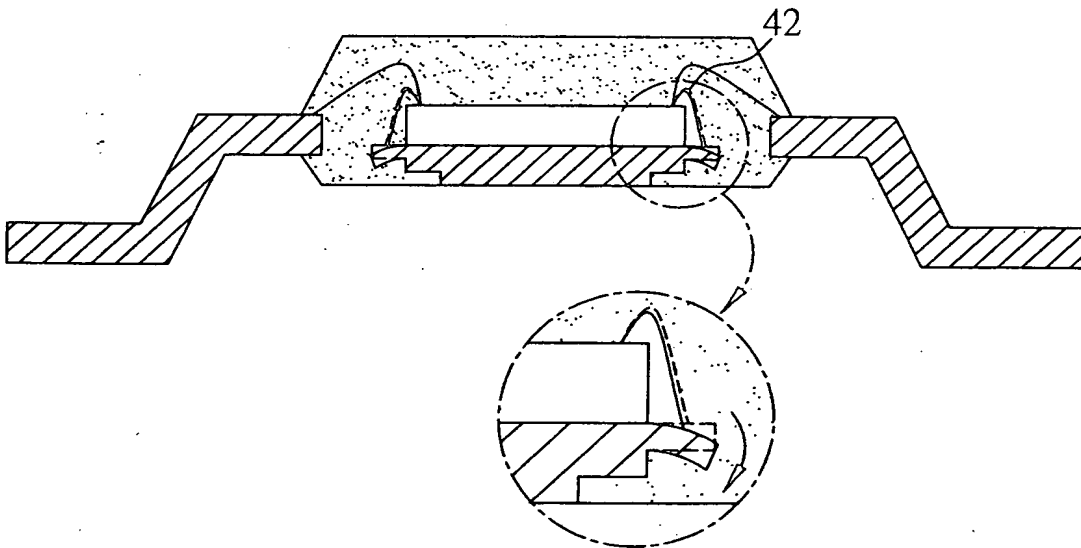
第 4A 圖



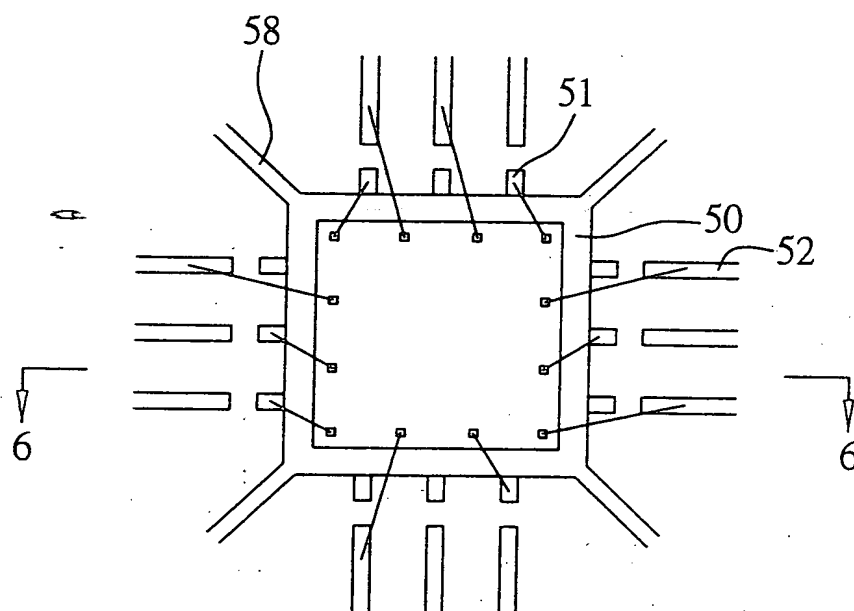
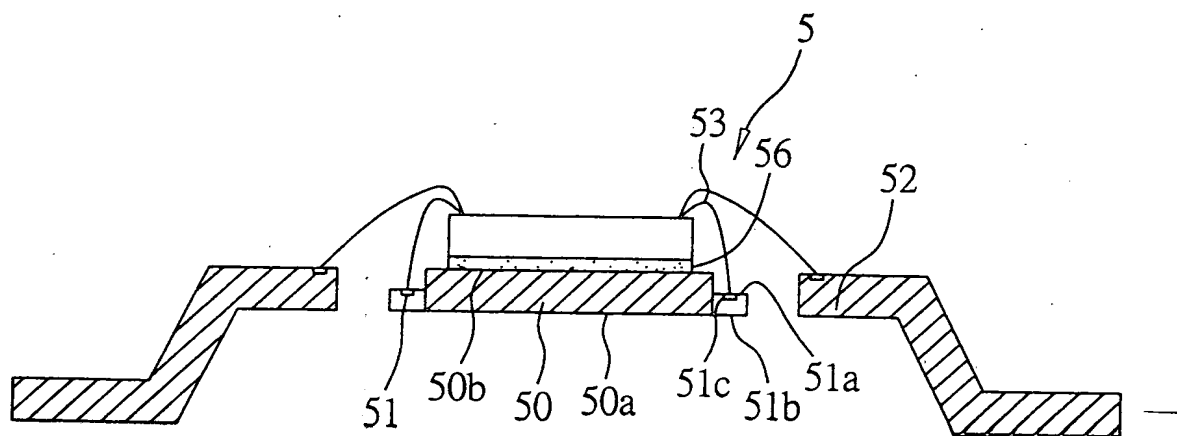
第 4B 圖



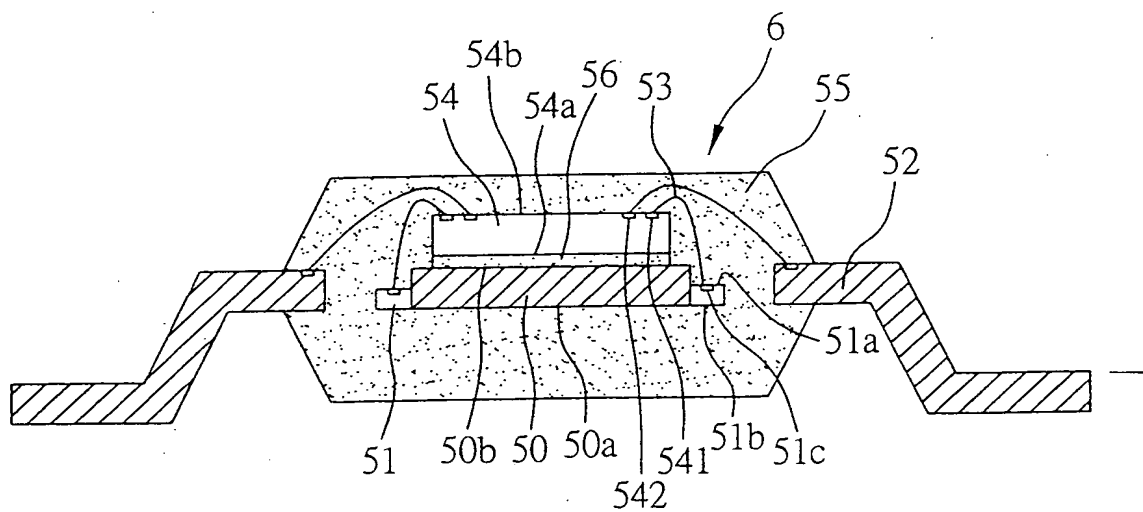
第 5A 圖



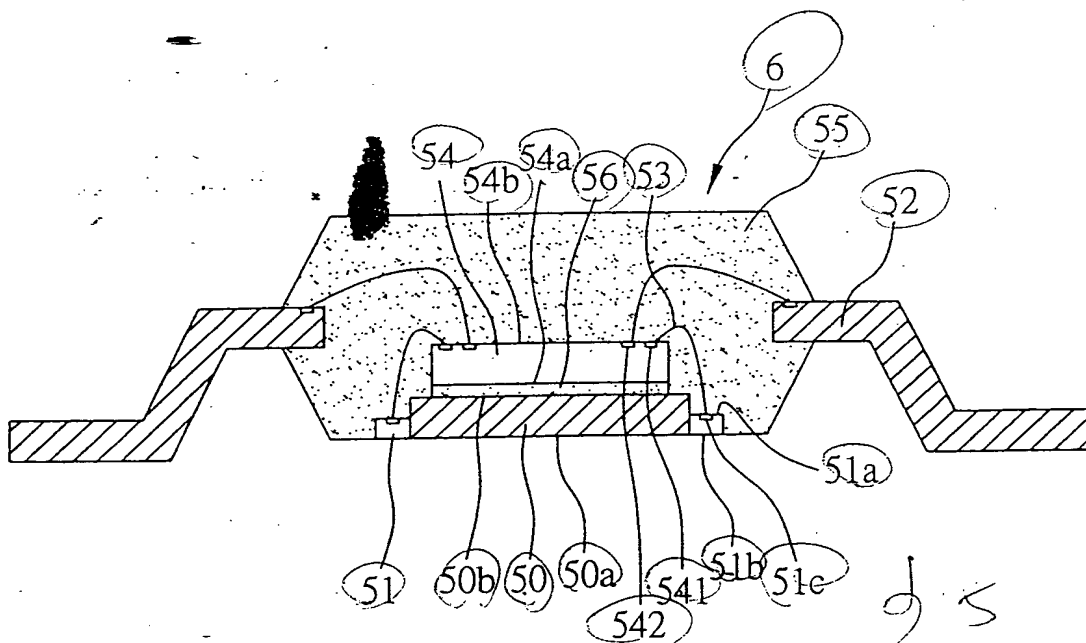
第 5B 圖



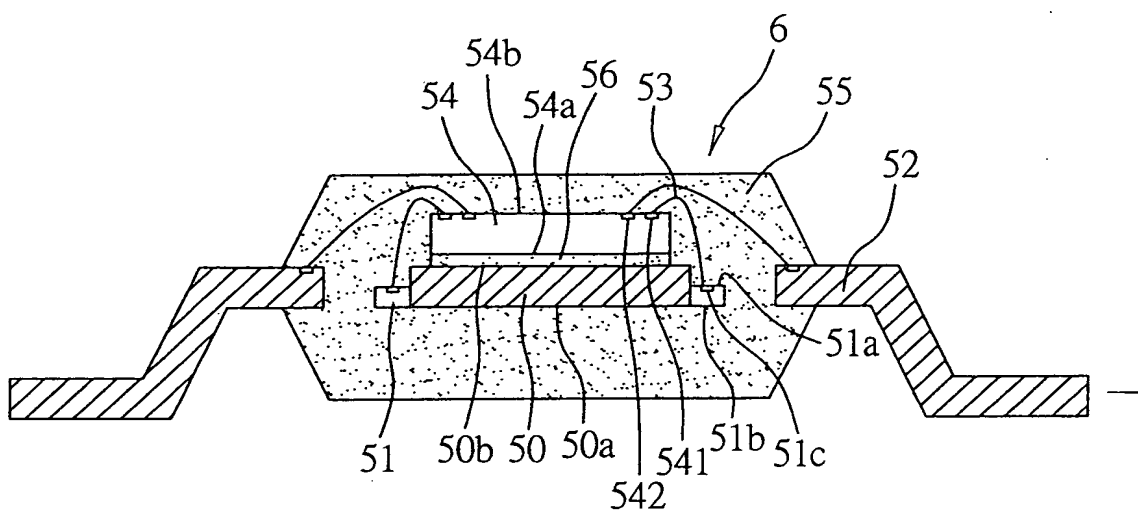
第 6 圖



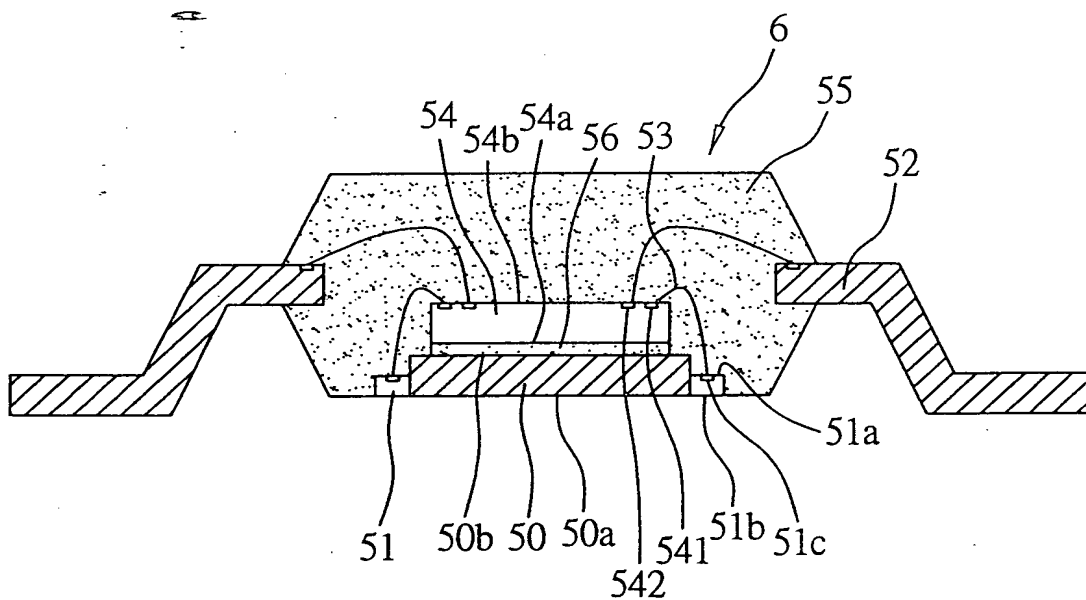
第 7 圖



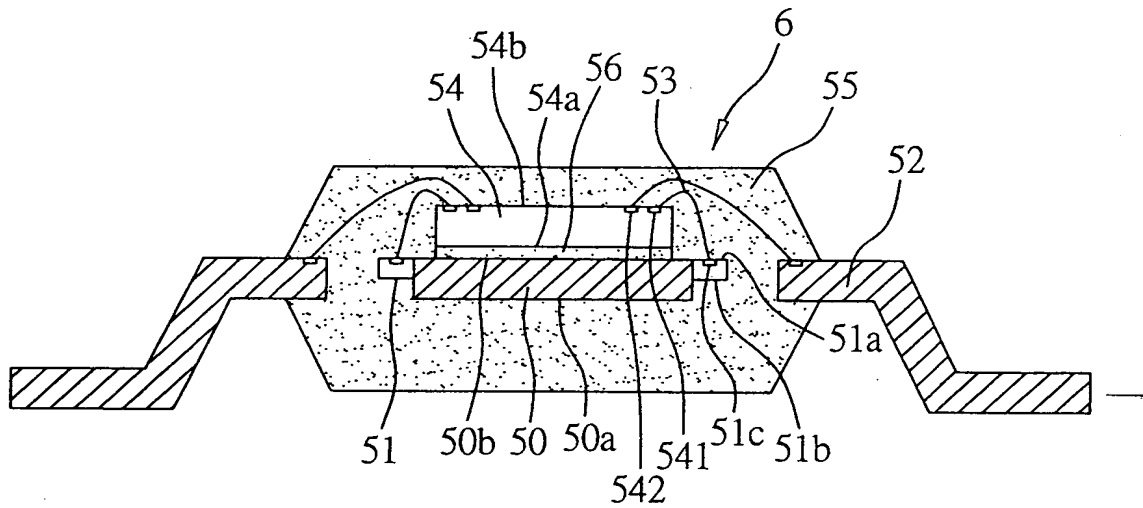
第 8 圖



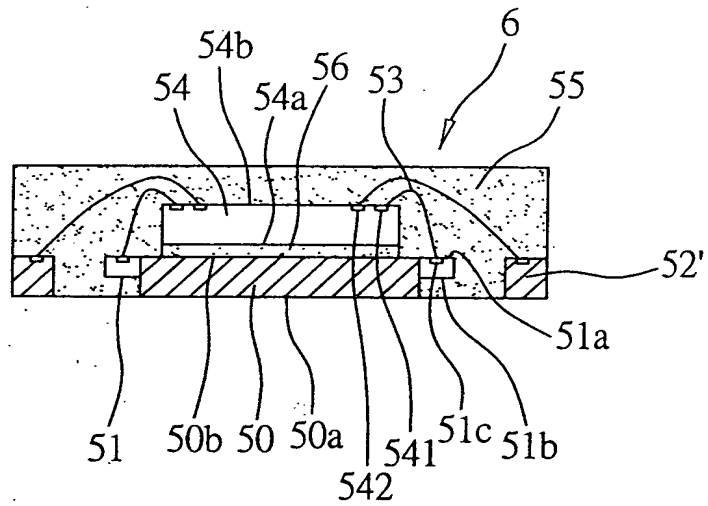
第 7 圖



第 8 圖



第 9 圖



第 10 圖